

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-088444

(43)Date of publication of application : 02.04.1996

(51)Int.Cl.

H01S 3/18
H01L 33/00

(21)Application number : 06-225127

(71)Applicant : NEC CORP

(22)Date of filing : 20.09.1994

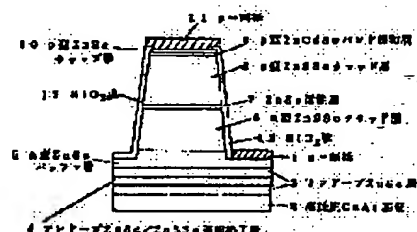
(72)Inventor : SUMINO MASAYOSHI

(54) SEMICONDUCTOR LIGHT-EMITTING DEVICE

(57)Abstract:

PURPOSE: To prevent the life of a light-emitting device having a some lattice mismatch with a substrate from being reduced due to propagation of the dislocation in a growing layer near the substrate while a current flows in the device.

CONSTITUTION: A light-emitting device comprises high-resistivity multilayer buffer layers 3 and 4 to suppress the dislocation from propagating to an n-type buffer layer 5 on a substrate 2 and n and p-type electrodes 1 and 11 on the surface of the substrate. The current does not flow in the region of the buffer layers 3 and 4 where the resistivity is high and the defect and dislocation density is high, but in that of the buffer layer 5 where the resistivity is low and the defect and dislocation density is low. Thus, the life of the device can be prolonged and output power can be high.



LEGAL STATUS

[Date of request for examination] 20.09.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2689919

[Date of registration] 29.08.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-88444

(43)公開日 平成8年(1996)4月2日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 S 3/18

H 0 1 L 33/00

A

審査請求 有 請求項の数7 O L (全 4 頁)

(21)出願番号 特願平6-225127

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成6年(1994)9月20日

(72)発明者 角野 雅芳

東京都港区芝五丁目7番1号 日本電気株式会社内

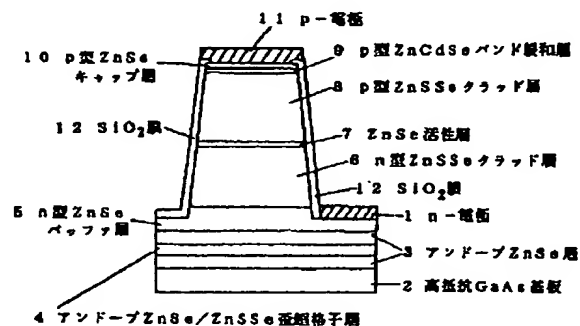
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 半導体発光素子

(57)【要約】

【目的】 基板と若干の格子不整合を持つ半導体発光素子の通電動作時に、基板付近の成長層に転位が増殖するために素子の寿命が低下するのを防止する。

【構成】 基板2の上にn型バッファ層5への転位の進行を抑制するための高抵抗多層膜緩衝層3、4を有し、基板の表面側にn型とp型の電極1、11を備えている。電流は、欠陥、転位密度が大きく高抵抗な多層膜緩衝層の領域には流れず、低抵抗の欠陥、転位の少ないn型バッファ層5を流れるので、半導体発光素子の長寿命化、高出力化が図れる。



【特許請求の範囲】

【請求項1】基板と若干の格子不整合を有する半導体発光素子において、

基板と成長層の間に転位を減らすための多層膜緩衝層を有し、かつこの多層膜緩衝層を高抵抗として基板の表面側にn型とp型の2つの電極を備えたことを特徴とする半導体発光素子。

【請求項2】高抵抗のGaAs基板と若干の格子不整合を有するII-VI族の半導体発光素子において、

ZnSe層とZnSSe層を交互に複数層積層した構造を有するアンドープ歪超格子層とアンドープ歪超格子層を挟むアンドープZnSe層からなりGaAs基板と成長層の間に転位を減らすために設けられた高抵抗の多層膜緩衝層と、前記GaAs基板の多層膜緩衝層の表面側にn型とp型の2つの電極とを備えたことを特徴とする半導体発光素子。

【請求項3】前記アンドープ歪超格子層が、Zn、Si、Se層とZn、Si、Se層の組成の異なる1種類の3元または4元の混晶を交互に複数層積層した構造を有することを特徴とする請求項2記載の半導体受光素子。

【請求項4】前記アンドープ歪超格子層が、MgS層とZnS層を交互に複数層積層した構造を有することを特徴とする請求項2記載の半導体受光素子。

【請求項5】前記アンドープ歪超格子層が、超短周期歪超格子層であることを特徴とする請求項2記載の半導体受光素子。

【請求項6】前記アンドープZnSe層に代えてZnSSe層またはZnCdSSe層を用いたことを特徴とする請求項2記載の半導体受光素子。

【請求項7】前記GaAs基板に代えてサファイア、InP、SiまたはGaP基板を用いたことを特徴とする請求項2記載の半導体受光素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体発光素子に関するものである。

【0002】

【従来の技術】Si基板上的III-V族（あるいはII-VI族）半導体レーザ素子（LD）は、他の電子デバイスとの融合・集積化という利点があり、多くの研究が行われている。しかし、Si基板上的III-V族（あるいはII-VI族）半導体の結晶成長においては、基板とエピタキシャル成長層との間に格子不整合があり、エピタキシャル成長層に転位が入りやすい。

【0003】GaAs基板上的ZnSe等のII-VI族材料の結晶成長においても、基板と成長層の格子定数が数%異なっている。そのため成長層に転位が入り、成長結晶の品位が著しく低下するという問題がある。更に、成長前にAs照射下に置かずGaAs基板を630℃以

上に昇温して基板表面の酸化膜を蒸発させるので、As抜けによる表面荒れが生じやすくなる。また、II-VI族材料の成長温度である300℃以下まで、およそ300℃～350℃程降温させる過程で、基板表面は、O、C等の不純物を吸着すると思われる。とくに、Alを含む緩衝層を成長させた基板では、Oの表面吸着が大きいと思われる。また、II-VI族とIII-V族の異種族材料間には、結晶の硬さや粘り強さに差がある。II-VI族の成長においては、以上に述べた格子不整合、基板の表面荒れ、不純物吸着、異種族材料界面等の原因により成長結晶に貫通転位が入りやすい。

【0004】青色発光素子として研究、開発が進められているサファイア基板上的GaN（III-V族材料）は、15.4%もの格子不整合がある。日経エレクトロニクス1994年602巻98ページには、InGaN/AlGaNのダブルヘテロ構造高輝度青色発光ダイオードの構造図が記載されている。成長温度を下げてGaN緩衝層を成長させることで、転位を低減させている。ただし、転位低減のための超格子構造は、備え付けられていない。また、基板のサファイアは、高抵抗基板しかないので、n電極をサファイア基板から取ることができず、n電極は、n型GaN層に取り付けられており、基板表面側にp、nの電極が形成されている。ただし、II-VI族半導体発光素子では、n型（あるいはp型）のGaAs基板を用いているので、このような電極取りをした報告例はない。

【0005】一般に、基板と異なる材料のエピタキシャル成長層を成長させる場合、格子不整合による転位が発生し、エピタキシャル成長層の結晶品質を損なうという問題がある。

【0006】この問題に対しては、従来、転位密度の低減方法として、基板の格子定数から成長層の格子定数に徐々に格子定数を変化させた緩衝層を積む等の方法が行われてきた。あるいは、緩衝層に歪超格子構造を導入することで、転位の成長方向への進行を食い止める方法も研究されている。例えば、1993年のアブライド・フィジックス・レター63巻15号には、InGaAs/GaAsあるいはGaAs/GaPの界面に、1原子層のInAsと1あるいは2原子層のGaAsを1周期とする超短周期歪超格子、あるいは1原子層のGaPと1あるいは3原子層のGaAsを100周期程度、数百nmの厚さに成長させた短周期歪超格子層を挿入することで、貫通転位の発生を効果的に抑えることができることを報告している。

【0007】

【発明が解決しようとする課題】従来の方法で緩衝層に超格子構造を挿入し、発光層に転位が入ることを食い止めたとしても、基板と成長層の界面付近の転位は残る。得られた成長結晶で発光素子を作り、通電させると、これらの転位が増殖し、結晶品質が劣化するため、素子の

動作寿命は、著しく低下してしまう。現在II-VI族材料を用いた青色LDなどの動作寿命が数秒と短いのは、主にこのためであると思われる。

【0008】また、GaAs基板上のZnSe等のII-VI族半導体材料の結晶成長においては、基板と成長層のバンドギャップが大きく異なるので、II-VI族材料を用いた青色LD等の発光素子を作る場合、基板界面での急激なバンドギャップ差の低減による低抵抗化が課題となっている。これに対し、GaAsのバンドギャップと、成長するII-VI族半導体材料のバンドギャップとの中間の大きさのバンドギャップを持ったAlGaAsや、AlGaInP系のIII-V族半導体材料等を緩衝層としてGaAs基板上に成長させてから、II-VI族半導体材料を成長させる等の提案がなされている。しかしながら、II-VI族とIII-V族材料は、相互に汚染し合うので、この方法は、II-VI族用とIII-V族用の2つの成長室が必要となり、成長装置が大がかりとなる。また、基板を搬送する手間がかかるという欠点がある。

【0009】本発明の目的は、基板界面付近の転位の増殖による結晶品質の劣化がなく、素子の長寿命化、高出力化を図ることができる半導体発光素子を提供することにある。

【0010】

【課題を解決するための手段】本発明は、基板と若干の格子不整合を有する半導体発光素子において、基板と成長層の間に転位を減らすための多層膜緩衝層を有し、かつこの多層膜緩衝層を高抵抗として基板の表面側にn型とp型の2つの電極を備えたことを特徴としている。

【0011】

【作用】基板界面付近の欠陥・転位密度の大きい多層膜緩衝層の領域は、高抵抗なので、電流は流れない。そのため、転位の増殖による結晶品質の劣化がなくなる。電流は、低抵抗の欠陥・転位のない、nあるいはpクラッド層を流れるので、LD素子等の半導体発光素子の長寿命化、高出力化を図ることができる。

【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0013】図1は、本発明の一実施例を示すII-VI族半導体レーザの断面構造図である。図1に示すII-VI族半導体レーザは、n-電極1、高抵抗GaAs基板2、アンドープZnSe層3、アンドープ歪超格子層4、n型ZnSeバッファ層5、n型ZnSSeクラッド層6、ZnSe活性層7、p型ZnSSeクラッド層8、p型ZnCdSeバンド緩衝層9、p型ZnSeキャップ層10、p-電極11およびSiO₂膜12により構成されている。

【0014】アンドープ歪超格子層4は、層厚10nmのZnSeと層厚10nmのZnSSeを交互に10周期積層させた構造を有している。本発明の特徴である、

基板界面付近に生ずる転位の進行を抑えるための多層膜緩衝層は、アンドープ歪超格子層4とそれを挟むアンドープZnSe層3からなる。

【0015】有機金属気相成長法(MOVPE)や分子線エピタキシー法(MBE)等のエピタキシャル成長法により、以上の層構造を成長後、表面にSiO₂マスクを形成し、エッチングによりnクラッド層表面を出し、その表面にn-電極を形成させる。エッチングにより生じた側壁には、SiO₂膜12を形成させる。

【0016】本実施例において、歪超格子層4として、ZnSe/ZnSSeの歪超格子層の代わりに、Zn_{1-x}Si_xSe/Zn_{1-x}Si_xSeなどの、組成の異なる1種類の3元(および4元)の混晶からなる歪超格子層や、MgS/ZnS等の歪超格子層を用いても良い。また(ZnSe)_m(MgSe)_n等の超短周期歪超格子層を用いることもできる。

【0017】アンドープ高抵抗のZnSe層3の代わりに、ZnSSe層あるいはZnCdSSe層を用いることもできる。クラッド層6、8には、ZnSSeだけでなく、nおよびp型のZnCdSSeを用いても良い。活性層7は、ZnSeの代わりに、ZnSSeあるいはZnCdSeを用いても良い。

【0018】エッチングの代わりに、SiO₂マスクを用いた選択成長を用いて同様のデバイス形状を作り、電極を形成してもよい。

【0019】本発明において、基板の種類は、サファイア、InP、Si、GaP等のGaAs以外の基板でも良く、基盤の導伝型は、高抵抗基板の代わりに、n型でもp型でも良い。また、基板側のクラッド層の伝導型をn型の代わりにp型に選ぶことも可能である。

【0020】本発明は、LD素子等の半導体発光素子の内部構造の詳細によらないので、歪量子井戸LD構造等のさまざまな構造を有する半導体発光素子に対して適用することができる。

【0021】

【発明の効果】基板界面付近の欠陥・転位密度の大きい多層膜緩衝層の領域は、高抵抗なので、電流は、低抵抗の欠陥・転位のない、nあるいはpクラッド層を流れる。それによって、LD素子等の半導体発光素子の長寿命化、高出力化を図ることができる。

【0022】本発明の実施例の構造では、電極が、GaAs基板ではなく、II-VI族材料のクラッド層に取り付けられているので、従来のGaAs基板とII-VI族エピタキシャル成長層との間の大きなバンドギャップ差による素子の高抵抗化の問題を回避でき、LD素子の低抵抗化による低電圧動作が可能になる。また、低容量化による高速変調動作も可能になる。更に、一つの成長室で成長できるので、II-VI族、III-V族の結合による相互汚染の心配がなく、手軽に、高性能のII-VI族材料を用いた青色LDが成長できるという利点がある。

5

6

【0023】InP基板では、基板とII-VI族エピタキシャル成長層との間の大きなバンドギャップ差による高抵抗化の問題を回避でき、LD素子の低抵抗化による低電圧動作の効果がより大きい。

【0024】また、本発明は、二つの電極が基板の表面側にあるので、他の光素子および電子素子との集積化に適している。

【図面の簡単な説明】

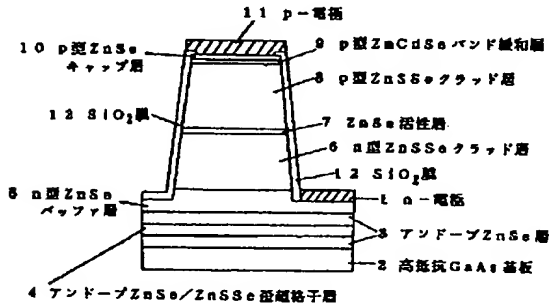
【図1】本発明の半導体発光素子の一実施例を示す構造断面図である。

【図2】従来の半導体発光素子の構造断面図である。

【符号の説明】

- 1 n-電極
- 2 高抵抗GaAs基板
- 3 アンダーブZnSe層
- 4 アンダーブ歪超格子層
- 5 n型ZnSeバッファ層
- 6 n型ZnSSeクラッド層
- 7 ZnSe活性層
- 8 p型ZnSSeクラッド層
- 9 p型ZnCdSeバンド緩和層
- 10 p型ZnSeキャップ層
- 11 p-電極
- 12 SiO₂膜

【図1】



【図2】

